

(51) IntCl. <sup>7</sup>	識別符号	F I	チマコード (参考)
G 0 1 R 31/02		G 0 1 R 31/02	2 G 0 1 1
	1/06		F 2 G 0 1 4
	31/302	H 0 1 L 21/66	B 2 G 0 3 2
// H 0 1 L 21/66		G 0 1 R 31/28	L 4 M 1 0 6

審査請求 未請求 請求項の数14 O L (全 12 頁)

(21) 出願番号 特願2000-44705(P2000-44705)

(22) 出願日 平成12年2月22日 (2000.2.22)

(71) 出願人 594157142

オー・エイチ・ティー株式会社

広島県深安郡神辺町西中条1118番地の1

(72) 発明者 藤井 達久

広島県深安郡神辺町西中条1118番地 オ

ー・エイチ・ティー株式会社内

(72) 発明者 石岡 聖悟

広島県深安郡神辺町西中条1118番地 オ

ー・エイチ・ティー株式会社内

(74) 代理人 100101306

弁理士 丸山 幸雄

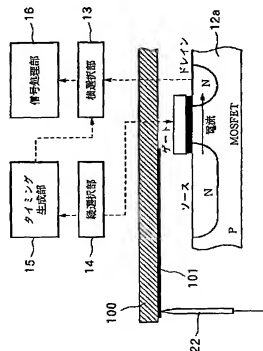
最終頁に続く

## (54) 【発明の名称】 検査装置及びセンサ

## (57) 【要約】

【課題】 導体パターンの形状を精細に検査すること。

【解決手段】 センサ要素12aは、MOSFETを含み、表面積が大きい方の拡散層が受動素子となり、導体パターン101に対向している。この受動素子は、MOSFETのソースと連続し、ゲートは縦選択部14に接続され、ドレインは横選択部13に接続されている。タイミグ生成部15により、センサ要素12aが選択されると、縦選択部14からゲートへ信号が送出され、MOSFETはONとなる。この時、プローブ22から検査信号が出力されると、導体パターン101の電位が変化し、これに伴い、ソースからドレインへ電流が流れ、横選択部13を介して、信号処理部16へ送出される。検出信号を出力したセンサ要素12aの位置を解析すれば、回路基板100のどの位置に、導体パターン101が存在するかがわかる。



## 【特許請求の範囲】

【請求項1】回路基板の導電パターンを検査するため、該導電パターンに検査信号が供給されることによる電位変化を非接触で検出する検査装置であって、前記導電パターン各部の電位変化を、複数のセンサ要素を用いて検出する検出手段と、

前記センサ要素を選択するための選択信号を出力する選択手段と、

を備え、

前記センサ要素は、

半導体の単結晶上、または、平板上に構成され、

前記導電パターンに対し静電容量結合の対向電極として動作し、前記導電パターンの電位変化を検出する受動素子と、

前記受動素子によって出力された検出信号を、前記選択信号の入力に応じて出力するトランジスタと、を含むことを特徴とする検査装置。

【請求項2】前記トランジスタは電流読出し用のMOSFETであって、前記受動素子とソースとしての拡散層が連続しており、前記選択信号をゲートに入力することによって、ドレインから検出信号を得ることを特徴とする請求項1に記載の検査装置。

【請求項3】前記トランジスタは電流読出し用の薄膜トランジスタであって、前記受動素子と前記薄膜トランジスタのソースが接続されており、前記選択信号をゲートに入力することによって、ドレインから検出信号を得ることを特徴とする請求項1に記載の検査装置。

【請求項4】前記トランジスタは、直列に配置された第1、第2MOSFETであって、前記受動素子を前記第1MOSFETのゲートに接続し、前記選択信号を前記第2MOSFETのゲートに接続し、前記第1MOSFETのゲートに印加された前記受動素子の電位に応じて変化する前記第1MOSFETのソース電位を前記第2MOSFETのドレインで受けて、ソースから検出信号として出力することを特徴とする請求項1に記載の検査装置。

【請求項5】前記トランジスタは、直列に配置された第1、第2薄膜トランジスタであって、前記受動素子を前記第1薄膜トランジスタのゲートに接続し、前記選択信号を前記第2薄膜トランジスタのゲートに接続し、前記第1薄膜トランジスタのゲートに印加された前記受動素子の電位に応じて変化する前記第1薄膜トランジスタのソース電位を前記第2薄膜トランジスタのドレインで受けて、ソースから検出信号として出力することを特徴とする請求項1に記載の検査装置。

【請求項6】前記トランジスタはバイポーラトランジスタであって、前記受動素子をエミッタに接続し、前記選択信号をベースに入力することによって、コレクタから検出信号を得ることを特徴とする請求項1に記載の検査装置。

【請求項7】前記トランジスタは電荷読出し用のMOSFETであって、前記受動素子とソースとしての拡散層が連続しており、前記選択信号をゲートに入力することによって、ゲートの下に形成した電位障壁を下げ、ソース側にある信号電荷をドレイン側へ検出信号電荷として転送し、ドレイン側に接続された電荷転送素子で検出信号を転送することを特徴とする請求項1に記載の検査装置。

【請求項8】前記導電パターンの電位変化に対応して前記受動素子に電荷を供給し、かつ導電パターンの電位変化が終わる前に、供給した前記電荷が逆流しないように電位障壁を形成する電荷供給MOSFETのドレインを、前記受動素子の拡散層と連続させて形成することを特徴とする請求項7に記載の検査装置。

【請求項9】前記センサ要素は、センサチップ上にマトリクス状に配置されていることを特徴とする請求項1乃至8のいずれか一つに記載の検査装置。

【請求項10】前記検出手段におけるセンサ要素は、前記受動素子の表面に接触する導体板を更に含むことを特徴とする請求項1乃至9のいずれか一つに記載の検査装置。

【請求項11】回路基板の導電パターンを検査する検査装置であって、

前記導電パターンに対して、時間的に変化する検査信号を供給する供給手段と、

前記検査信号に応じた前記導電パターン各部の電位変化を、複数のセンサ要素を用いて検出する検出手段と、

前記センサ要素を選択するための選択信号を出力する選択手段と、

を備え、

前記センサ要素は、

半導体の単結晶上に構成され、

前記導電パターンに対し静電容量結合の対向電極として動作し、前記導電パターンの電位変化を検出する受動素子と、

前記受動素子によって出力された検出信号を、前記選択信号の入力に応じて出力するトランジスタと、を含むことを特徴とする検査装置。

【請求項12】回路基板の導電パターンを検査する検査装置であって、

前記導電パターンに対して、時間的に変化する検査信号を供給する供給手段と、

前記検査信号が供給されることによる前記導電パターン各部の電位変化を、複数のセンサ要素を用いて検出し、該電位変化に応じた検出信号を出力する検出手段と、前記センサ要素を選択するための選択信号を出力する選択手段と、

前記検出信号に基づき、前記導電パターンの形状を描画するための画像データを生成する画像データ生成手段と、

を備え、

前記センサ要素は、

半導体の単結晶上に構成され、

前記導電パターンに対し静電容量結合の対向電極として動作し、前記導電パターンの電位変化を検出する受動素子と、

前記受動素子によって検出された電位変化に応じた検出信号を、前記選択信号の入力に応じて出力するトランジスタと、

を含むことを特徴とする検査装置。

【請求項13】更に、前記センサ要素の半導体に対する光の照射を防ぐための遮光手段を有することを特徴とする請求項1乃至12のいずれか一つに記載の検査装置。

【請求項14】回路基板の導電パターンを検査するために、該導電パターンに検査信号が供給されることによる電位変化を非接触で検出する複数のセンサ要素を備えたセンサであって、

前記センサ要素は、

半導体の単結晶上に構成され、

前記導電パターンに対し静電容量結合の対向電極として動作し、前記導電パターンの電圧変化を検出する受動素子と、

前記受動素子によって出力された検出信号を、前記選択信号の入力に応じて出力するトランジスタと、を含むことを特徴とするセンサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、回路基板の導電パターンの検査装置及びその検査装置用のセンサに関する。

【0002】

【従来の技術】回路基板の製造においては、基板上に導電パターンを施した後、その導電パターンに断線や、短絡がないかを検査する必要がある。

【0003】従来から、導電パターンの検査手法としては、導電パターンの両端にピンを接触させて一端側のピンから導電パターンに電気信号を給電し、他端側のピンからその電気信号を受電することにより、導電パターンの導通テスト等を行う接触式の検査手法が知られている。

【0004】しかし、近年では、導電パターンの高密度化により、各導電パターンに、ピンを同時に配置し接触させる十分な間隔がない状況となってきたため、ピンを用いず、導電パターンと接触することなく電気信号を受信する非接触式の検査手法が提案されている（特開平9-264919号）。

【0005】この非接触式の検査手法は、図15のように、検査の対象となる導電パターンの回路配線の一端側にピンを接触させると共に、他端側に導電パターンに非接触にセンサ素子を配置し、ピンに検査信号を供給す

ることによる導電パターンの電位変化を、センサ素子が検出して導電パターンの断線等を検査するものである。即ち、その等価回路で示せば図16のようになり、センサ素子側に発生した電流を増幅回路で増幅した後、その電流の大きさを、導電パターンのセンサ素子と対向する位置の断線及び短絡を検知していた。

【0006】

【発明が解決しようとする課題】しかしながら、上記従来の非接触検査手法では、通常のプリント基板上の複数のパターン線を覆う程度の大きさの電極により、導電パターンからの電磁波を受信していた。このため、50 $\mu$ mレベルの回路パターンを分解能高く検査することは不可能であり、また、比較的大きな導電パターンであっても、その欠けまでは検知することができなかった。

【0007】本発明は上記従来技術の課題を解決するためになされたもので、その目的とするところは、導電パターンの形状を精細に検査可能なセンサ並びに検査装置を提供することにある。

【0008】

【課題を解決するための手段】上記目的を達成するため、本発明に係る装置は、回路基板の導電パターンを検査するために、該導電パターンに検査信号が供給されることによる電位変化を非接触で検出する検査装置であって、前記導電パターン各部の電位変化を、複数のセンサ要素を用いて検出する検出手段と、前記センサ要素を選択するための選択信号を出力する選択手段と、を備え、前記センサ要素は、半導体の単結晶上、または、平板上に構成され、前記導電パターンに対し静電容量結合の対向電極として動作し、前記導電パターンの電位変化を検出する受動素子と、前記受動素子によって出力された検出信号を、前記選択信号の入力に応じて出力するトランジスタと、を含むことを特徴とする。

【0009】前記トランジスタは電流流出し用のMOSFETであって、前記受動素子とソースとしての拡散層が連続しており、前記選択信号をゲートに入力することによって、ドレインから検出信号を得ることを特徴とする。

【0010】前記トランジスタは電流流出し用の薄膜トランジスタであって、前記受動素子と前記薄膜トランジスタのソースが接続されており、前記選択信号をゲートに入力することによって、ドレインから検出信号を得ることを特徴とする。

【0011】前記トランジスタは、直列に配置された第1、第2MOSFETであって、前記受動素子を前記第1MOSFETのゲートに接続し、前記選択信号を前記第2MOSFETのゲートに接続し、前記第1MOSFETのゲートに印加された前記受動素子の電位に応じて変化する前記第1MOSFETのソース電位を前記第2MOSFETのドレインで受けて、ソースから検出信号として出力することを特徴とする。

【0012】前記トランジスタは、直列に配置された第1、第2薄膜トランジスタであって、前記受動素子を前記第1薄膜トランジスタのゲートに接続し、前記選択信号を前記第2薄膜トランジスタのゲートに接続し、前記第1薄膜トランジスタのゲートに印加された前記受動素子の電位に応じて変化する前記第1薄膜トランジスタのソース電位を前記第2薄膜トランジスタのドレインで受けて、ソースから検出信号として出力することとを特徴とする。

【0013】前記トランジスタはバイポーラトランジスタであって、前記受動素子をエミッタに接続し、前記選択信号をベースに入力することによって、コレクタから検出信号を得ることを特徴とする。

【0014】前記トランジスタは電荷読出し用のMOSFETであって、前記受動素子をソースとしての拡散層が連続しており、前記選択信号をゲートに入力することによって、ゲートの下に形成した電位障壁を下げ、ソース側にある信号電荷をドレイン側へ検出信号電荷として転送し、ドレイン側に接続された電荷転送素子で検出信号を転送することとを特徴とする。

【0015】前記導電パターンの電位変化に対応して前記受動素子に電荷を供給し、かつ導電パターンの電位変化が終わる前に、供給した前記電荷が逆流しないように電位障壁を形成する電荷供給MOSFETのドレインを、前記受動素子の拡散層と連続させて形成することとを特徴とする。

【0016】前記センサ要素は、センサチップ上にマトリクス状に配置されていることを特徴とする。

【0017】前記検出手段におけるセンサ要素は、前記受動素子の表面に接触する導体板を更に含むことを特徴とする。

【0018】回路基板の導電パターンを検査する検査装置であって、前記導電パターンに対して、時間的に変化する検査信号を供給する供給手段と、前記検査信号に応じた前記導電パターン各部の電位変化を、複数のセンサ要素を用いて検出する検出手段と、前記センサ要素を選択するための選択信号を出力する選択手段と、を備え、前記センサ要素は、半導体の単結晶上に構成され、前記導電パターンに対し静電容量結合の対向電極として動作し、前記導電パターンの電位変化を検出する受動素子と、前記受動素子によって出力された検出信号を、前記選択信号の入力に応じて出力するトランジスタと、を含むことを特徴とする。

【0019】回路基板の導電パターンを検査する検査装置であって、前記導電パターンに対して、時間的に変化する検査信号を供給する供給手段と、前記検査信号が供給されることによる前記導電パターン各部の電位変化を、複数のセンサ要素を用いて検出し、前記電位変化に応じた検出信号を出力する検出手段と、該センサ要素を選択するための選択信号を出力する選択手段と、前記検

出信号に基づき、前記導電パターンの形状を描画するための画像データを生成する画像データ生成手段と、を備え、前記センサ要素は、半導体の単結晶上に構成され、前記導電パターンに対し静電容量結合の対向電極として動作し、前記導電パターンの電位変化を検出する受動素子と、前記受動素子によって検出された電位変化に応じた検出信号を、前記選択信号の入力に応じて出力するトランジスタと、を含むことを特徴とする。

【0020】更に、前記センサ要素の半導体に対する光の照射を防ぐための遮光手段を有することを特徴とする。

【0021】また、本発明に係るセンサは、回路基板の導電パターンを検査するために、該導電パターンに検査信号が供給されることによる電位変化を非接触で検出する複数のセンサ要素を備えたセンサであって、前記センサ要素は、半導体の単結晶上に構成され、前記導電パターンに対し静電容量結合の対向電極として動作し、前記導電パターンの電圧変化を検出する受動素子と、前記受動素子によって出力された検出信号を、前記選択信号の入力に応じて出力するトランジスタと、を含むことを特徴とする。

【0022】  
【発明の実施の形態】以下に、図面を参照して、この発明の好適な実施の形態を例示的に詳しく説明する。ただし、この実施の形態に記載されている構成要素の相対配置、数値等は、特に特定の記載がない限りは、この発明の範囲をそれらにのみ限定する趣旨のものではない。

【0023】（第1の実施の形態）本発明の第1の実施の形態として、MOSFETをセンサ要素として用いた検査装置1について説明する。

【0024】まず、検査装置1を利用した導電パターンの検査システムの一例を示す。図2は、検査装置1を利用した検査システム20の概略図である。

【0025】検査システム20は、回路基板100に施された導電パターン101を検査するための装置であって、検査装置1と、コンピュータ21と、導電パターン101に検査信号を供給するためのプローブ22と、プローブ22への検査信号の供給を切替えるセレクタ23と、を備える。セレクタ23は、例えば、マルチプレクサ、デプレクサ等から構成することができる。

【0026】コンピュータ21は、セレクタ23に対してはプローブ選択のための制御信号及び導電パターン101に与える検査信号を供給し、検査装置1に対しては、セレクタ23に供給した制御信号に同期して検査装置を動作させるための同期信号を供給する。また、コンピュータ21は、検査装置1からの検出信号を受信して、画像データを生成し、その画像データに基づいて、導電パターン101の所線、短絡、欠け等を検出する。更に、コンピュータ21は、各センサ要素12aからの検出信号に基づいて、検査対象である導電パターンの画

像をディスプレイ21aに表示する機能を有する。

【0027】プローブ22は、その先端が、それぞれ回路基板100上の導電パターン101の一端に接触しており、導電パターン101に対して検査信号を供給する。

【0028】セレクト23は、検査信号を出力するプローブ22を切替える。回路基板100上の複数の独立した導電パターン101の一つずつに検査信号が供給されるように、コンピュータから供給された制御信号に基づき制御する。

【0029】検査装置1は、回路基板100の導電パターン101に対向する位置に非接触に配置され、プローブ22から供給された検査信号によって導電パターン101上に生じた電位変化を検出し、検出信号としてコンピュータ21へ出力する。検査装置1と導電パターンとの間隔は、0.05mm以下が望ましいが、0.5mm以下であれば可能である。

【0030】なお、図2の回路基板100では、片面側のみ導電パターン101が設けられている場合を想定しているが、両面に導電パターン101が設けられている回路基板についても検査可能であり、その場合は、検査装置1を二つ用いて回路基板をサンドイッチするように配置して検査する。

【0031】図3は、検査装置1の電気的構成を示すブロック図である。

【0032】検査装置1は、図3のような電気的構成を持つセンサチップが不図示のパッケージに取付られた構成となっている。

【0033】検査装置1は、制御部11と、複数のセンサ要素12aからなるセンサ要素群12と、センサ要素12aの行の選択をするための縦選択部14と、センサ要素12aの列の選択及び信号の取りだしを行う横選択部13と、各センサ要素12aを選択するための選択信号を発生するタイミング生成部15と、横選択部13からの信号を処理する信号処理部16と、信号処理部16からの信号をA/D変換するためのA/Dコンバータ17と、検査装置1を駆動するための電力を供給するための電源回路部18と、を備える。

【0034】制御部11は、コンピュータ21からの制御信号に従って、検査装置1の動作を制御するためのものである。

【0035】センサ要素12aは、マトリクス状(縦480×横640個)に配置され、プローブ22から導電パターン101に供給された検査信号に応じた導電パターン101上の電位変化を非接触で検出する。

【0036】タイミング生成部15は、コンピュータ21から垂直同期信号(Vsync)、水平同期信号(Hsync)及び基準信号(Dclk)を供給され、縦選択部14及び横選択部13に、センサ要素12aを選択するためのタイミング信号を供給する。

【0037】縦選択部14は、タイミング生成部15からのタイミング信号に従って、センサ要素群12の少なくともいずれか一つの行を順次選択する。縦選択部14により選択された行のセンサ要素12aからは、検出信号が一度に出力され、横選択部13に入力される。横選択部13は、640個の端子から出力されたアナログの検出信号を増幅した後、一旦ホールドし、マルチプレクサ等の選択回路により、タイミング生成部15からのタイミング信号に従って、順番に信号処理部16に出力する。

【0038】信号処理部16は、横選択部13からの信号に対して、アナログ信号処理を行い、A/Dコンバータ17へ送出する。

【0039】A/Dコンバータ17は、信号処理部16からアナログ形式で送出された各センサ要素12aの検査信号を例えば8ビットのデジタル信号に変換し、出力する。

【0040】なお、ここでは、検査装置1にA/Dコンバータが内蔵されているが、信号処理部でアナログ処理されたアナログ信号をそのままコンピュータ21に出力してもよい。

【0041】次に、センサ要素12aの動作について説明する。図1は、一つのセンサ要素12aの構成を説明する図である。

【0042】センサ要素12aは、MOS型の半導体素子(MOSFET)であり、拡散層の一方の表面積が他方の表面積より大きくなるように生成されている。表面積が大きい方の拡散層が受動素子となり、導電パターン101に対向している。この受動素子は、MOSFETのソースと連続している。ゲートは縦選択部14に接続されており、ドレインは横選択部13に接続されている。

【0043】また、受動素子の拡散層には不要電荷を吐き出すポテンシャル障壁が設けられている。

【0044】そして、タイミング生成部15により縦選択部14を介して、センサ要素12aが選択されると、縦選択部14からゲートへ信号が送出され、センサ要素12aはON(検出信号出力可能状態)となる。

【0045】この時、プローブ22から検査信号が出力されると、導電パターン101の電位が変化し、これに伴い、ソースからドレインへ電流が流れる。これが検出信号となって横選択部13を介して、信号処理部16へ送出される。なお、センサ要素12aに対向する位置に導電パターン101が存在しない場合には、電流は流れない。このため、検出信号としての電流出力があったセンサ要素12aの位置を解析すれば、回路基板100のどの位置に、プローブ22と接触した電極から連続する導電パターン101が存在するかがわかる。

【0046】ここで、ソースからドレインへ電流が流れる原理について、更に詳しく説明する。図4、図5は、

この原理を分かりやすく説明するためのモデル図であり、図4は、導電パターンの回路配線に電圧が印加されていない状態、図5は印加された状態を示す。これらの図は共に、選択信号がゲートに入力され、ゲートがONになっている状態を示している。

【0047】図4のように、回路配線に電圧が印加されなければ、拡散層の余分な電荷が、OFFしているゲートの下の電位障壁のポテンシャルよりも低い吐き出しポテンシャル障壁から溢れ出る。その場合、ソースの電位は吐き出しのポテンシャルで確定する。

【0048】次に、図5のように、回路配線に電圧Vが印加されると、回路配線が+に帯電する(電位Vとなる)。ここで、回路配線と、ソース側拡散層とは、微小距離だけ離れているため、対向するソース側拡散層は回路配線の電位変化の影響を受け、電位がVとなって電荷が流れ込む。即ち、回路配線とソース側拡散層とが静電容量結合しているように動作し、ソース側拡散層のポテンシャルが低くなって、電子が流れ込み、ソースからドレインに向かって電流が流れる。

【0049】回路配線が再びグランドに接続されると、ソース側拡散層のポテンシャルは元に戻り、余剰の電子は徐々に吐き出しポテンシャル障壁から逃がされる。

【0050】図6は、図1のようなMOSFETを用いた場合の入出力タイミングを示すタイミングチャートである。

【0051】図6に示すように、回路配線に電圧が印加されると、出力電流が得られる。ただし、電流は、電圧の印加と同時にピークを示し、その後指数関数的に減少するため、横選択部13では、電圧印加のタイミングに合わせて検出し、ホールドしている。

【0052】上述してきたように、センサ要素が、半導体の単結晶上に構成され、導電パターンに対し静電容量結合の対向電極として動作し、導電パターンの電位変化を検出する受動素子と、この受動素子と連続し、受動素子から出力された検出信号である出力電流を選択信号のゲート入力時に出力するMOS型トランジスタと、を備えたので、センサ要素を極微細に製造することができる。

【0053】つまり、現在確立されているトランジスタ製造技術をそのまま用いて、センサ要素群を製造できるため、センサ要素自体も、その間隔を超微細にすることができる。これにより、回路基板上にプリントされた導電パターンの形状を高解像度に表現することができ、その欠け等も的確に検知することができる。また、センサ要素群を製造するのに、特別な製造装置を必要としないため、生産性が著しく向上するという効果を奏する。

【0054】なお、検査装置1では、回路基板100の形状に合わせて、各センサ要素12aを平面的に配置しているが、立体的に配置してもよい。

【0055】各センサ要素12aの形状は、図3に示す

ように全て形状を統一することが望ましい。これは、導電パターンへの検査信号の供給及び導電パターンに現れる信号の受信を、各センサ要素12aでムラ無く行うためである。

【0056】また、各センサ要素12aは、図3に示すように、行方向及び列方向にそれぞれ等間隔に配列されたマトリックス状に構成することが望ましい。そうすれば、導電パターンに面する単位面積あたりのセンサ要素12aの数のムラを低減することができると共に、各センサ要素12a間の相対的な位置関係を明らかにし、検出信号による導電パターンの形状の特定を容易化することができるからである。但し、検査する導電パターンの形状等に応じて、単に1列分だけ配置するようにしてもよい。

【0057】検査装置1では、センサ要素12aは、480行640列の配列としているが、これは本実施形態において便宜的に定めたものであり、現実には、例えば、5乃至5 $\mu$ m角に20万から200万個のセンサ要素を配置することもできる。このようにセンサ要素12aの大きさ、間隔等を設定するにあたっては、より正確な検査を実現すべく、導電パターンの線幅に応じた大きさ、間隔を設定することが望ましい。

【0058】ここでは、NチャネルMOSFETをセンサ要素としたが、本発明はこれに限定されるものではなく、PチャネルMOSFETを用いてもよい。

【0059】図1で、受動素子をn型拡散層としたが、これに限定されるものではなく、比較的導電率の高い材料であれば、非晶質半導体であってもよい。

【0060】更に、図7のように、受動素子としてのソース側拡散層上に、導電板71をオーミックコンタクトさせてもよく、このようにすれば、受動素子表面の電気伝導度を高く、すなわち、受動素子表面近傍に信号電荷を集中させることができ、信号電荷密度を高くすることができるため、静電容量結合をより強くすることができる。

【0061】導電板71は、金属の薄膜であっても多結晶半導体であってもよい。

【0062】(第2の実施の形態)次に図8乃至図12を用いて、本発明の第2の実施の形態としての検査装置について説明する。

【0063】本実施の形態の検査装置は、センサ要素として、半導体の拡散層を回路配線からの信号受信素子とした電荷電圧変換回路を用いた点について、上記第1の実施の形態と異なる。その他の点については、第1の実施の形態と同様であるため、ここでは説明を省略し、図上では、同じ構成要素を同じ符号を付して示す。

【0064】図8は、本実施の形態に係るセンサ要素12aの構成を説明する図である。

【0065】本実施の形態に係るセンサ要素12aも、上記第1の実施の形態に係るセンサ要素と同様に、受動

素子80として、比較的表面積の大きな拡散層を備えている。受動素子80は、MOSFET81のゲート及び、MOSFET82のソースに接続されている。また、MOSFET81のドレインには電源回路部18から電圧VDDが印加されており、MOSFET81のソースは、MOSFET83のドレインに接続されている。MOSFET82のゲートには、縦選択部14からのリセット信号が入力され、MOSFET82のドレインには、電源回路部18から電圧VDDが印加されている。MOSFET83のゲートには、縦選択部14から選択信号が入力され、MOSFET83のソースからの出力は、横選択部13に入力される。

【0066】ここで、受動素子80が検出した導体パターン101の電位変化が、MOSFET83のソースからの出力電圧に変換される原理について、更に詳しく説明する。図9、図10は、この原理を分かりやすく説明するためのモデル図であり、図9は、導体パターンの回路配線に電圧が印加されていない状態、図10は印加された状態を示す。これらの図は共に、選択信号がMOSFET83のゲートに入力され、ゲートがONになっている状態を示している。

【0067】図9のように、回路配線に電圧が印加されていないならば、受動素子80内の電子は、拡散層のポテンシャルに閉じ込められており、MOSFET81のゲートには、L0の電圧が印加される。従って、ソースフォロワ動作するMOSFET81のソース側は、MOSFET81のしきい値電圧だけゲートより低い電位が出力される。

【0068】次に、図10のように、回路配線に電圧Vが印加されると、対向する受動素子80は、回路配線の電位変化の影響を受け、その表面に電子が集まろうとすることが、流入する電子が無いため、もともと存在した電子が表面近くに密集し、表面ポテンシャルを下げる。つまり電位が上昇する。MOSFET81のゲートは、受動素子80の表面と接続されているため、Hiの電圧が印加されることになり、ソースフォロワ動作するMOSFET81のソース側は、MOSFET81のしきい値電圧だけゲートより低い電位が出力されるが、前述の回路配線に電圧を印加しない場合よりも高い電圧が出力される。

【0069】回路配線が再びグランドに接続されると、受動素子80内の電子は、再び分散し、MOSFET81のゲートの電位はL0となる。

【0070】このように、回路配線に対する電圧のON/OFFの切替えだけでは、理論上は、受動素子80内の全電荷量は変化しない。しかし、実際には、受動素子80の周囲から電子が入ることがあり、これを放置しておけば、回路配線に電圧が印加されていない状況での受動素子のポテンシャルが上昇し、電位が下がる。つまり、その雑音電子によって発生する雑音電位が、オフセット電位として受信信号に重なり経時変化する。そこ

で、図11のように、MOSFET82のゲートにリセット信号を入力し、電源と、受動素子80とを導通させて、受動素子80内の余分な電子を逃がしてやり、電位を一定に保っている。

【0071】図12は、図8のようなMOSFET回路を用いた場合の入出力タイミングを示すタイミングチャートである。

【0072】図12に示すように、選択信号をONにした後、リセット信号を一定時間ONにして、受動素子80の電位の経時変化を抑える。このとき、MOSFET81のゲートの電位が上昇し、MOSFET83のドレインからの出力電圧も少し大きくなる。これをリセット信号のカップリングノイズと呼ぶ。リセット信号をOFFにした後、今度は回路配線に電圧Vを印加する。回路配線に電圧Vが印加されると、MOSFET83のドレインからの出力電圧はHiとなり、そのセンサ要素12aに対向する位置に回路配線に電圧Vが存在することがわかる。

【0073】ただし、カップリングノイズを出力電圧と誤って検出しないように、出力電圧の検出タイミングを調整し、又は、ハイパスフィルタを通して行っている。

【0074】このように、センサ要素に、図8のような電荷電圧変換回路を用いたので、増幅した電圧の形で検出信号を取り出すことができ、検出信号を明確に識別できるので、より正確な回路基板の検査を行なうことができる。

【0075】なお、リセット信号の入力タイミングは、図12に示したタイミングに限定されるわけではなく、他のタイミングであってもよい。

【0076】また、図8で、受動素子80をn型拡散層としたが、これに限定されるものではなく、比較的導電率の高い材料であれば、金属の薄膜、多結晶半導体であっても、非晶質半導体であってもよい。

【0077】(第3の実施の形態) 次に図13を用いて、本発明の第3の実施の形態としての検査装置について説明する。

【0078】本実施の形態の検査装置は、センサ要素として、バイポーラトランジスタを用いた点について、上記第1の実施の形態と異なる。その他の点については、第1の実施の形態と同様であるため、ここでは説明を省略し、図では、同じ構成要素を同じ符号を付して示す。

【0079】図13は、本実施の形態に係るセンサ要素の構成を説明する図である。

【0080】導体パターンの電位変化を検出する受動素子は、抵抗素子からなり、その抵抗素子と、バイポーラトランジスタのエミッタが接続されている。また、ベースには縦選択部14からの選択信号が入力され、コレクタから出力される検出信号としての出力電流は横選択部13を介して信号処理部16に入力される。

【0081】このセンサ要素12aの動作は、図4、図5で説明したMOSFETの動作とほぼ同様である。ベ

ースに選択信号が印加されると、バイポーラトランジスタのエミッタであるN+拡散層とコレクタであるN+拡散層とが導通し、回路配線の電位が上昇して抵抗素子のP拡散層に電子が集まることによって、コレクタから電流が出力され、横選択部13で増幅された後、タイミング生成部15で生成されたタイミング信号に合せて信号処理部16に入力される。

【0082】このように、センサ要素にバイポーラトランジスタを用いれば、検出信号を出力を高速に、且つ正確に行なうことができる。

【0083】尚、ここでは、npn型のバイポーラトランジスタを用いたが、pnp型であってもかまわない。

【0084】(第4の実施の形態)次に図14を用いて、本発明の第4の実施の形態としての検査装置について説明する。

【0085】本実施の形態の検査装置は、センサ要素として、TFT等の薄膜トランジスタを用いた点について、上記第1の実施の形態と異なる。その他の点については、第1の実施の形態と同様であるため、ここでは説明を省略し、図では、同じ構成要素を同じ符号を付して示す。

【0086】図14は、本実施の形態に係るセンサ要素の構成を説明する図である。

【0087】導体パターンの電位変化を検出する受動素子80は、クロム等の電極であって、この電極と薄膜トランジスタのソースとが連続している。また、ゲートには縦選択部14からの選択信号が入力され、ドレインから出力される検出信号としての出力電流は横選択部13を介して信号処理部16に入力される。ソースとドレインの下層には、アモルファスSi又は多結晶-Si等の薄膜半導体層が存在する。

【0088】このセンサ要素12aの動作は、図4、図5で説明したMOSFETの動作とはほぼ同様である。ゲートに選択信号が印加されると、ゲートの下の半導体層にチャネルが発生し、薄膜トランジスタのソースとドレインとが導通する。そして、回路配線の電位が上昇して受動素子80としての電極に電子が集まることによって、ドレインから電流が出力され、横選択部13で増幅された後、タイミング生成部15で生成されたタイミング信号に合せて信号処理部16に入力される。

【0089】このようにセンサ要素に薄膜トランジスタを用いれば、センサ要素の生産性を向上し、また、センサアレイの面積をより大きくすることができる。

【0090】尚、上記第2の実施の形態に示した電荷電圧変換回路において、MOSFETを全てこの薄膜トランジスタに置換えることもでき、その場合も同様の効果を得ることができる。

【0091】(その他の実施の形態)上記第1、第3又は第4の実施の形態に示したセンサ要素に、流れ込んだ電子を保持する機能を持たせてもよい。

【0092】つまり、受動素子に、電子が溜まる構造にすれば、溜まった電子は、リセットMOSで電源に吸い上げられるまで保持される。このため、センサ要素を選択して、回路配線に検出信号としての電圧を印加しはじめた直後から、そのセンサ要素をリセットするまでに、検出信号である出力電流を検出すればよい。即ち、図6を用いて説明したように、電圧の印加と出力電流の検出のタイミングを合わせる必要がない。

【0093】更に、溜まった電子を順番に隣のセンサ要素に送るよう電荷転送素子を用いてもよい。電荷転送素子には例えばCCDが挙げられる。

【0094】この場合、トランジスタとして電荷読出し用のMOSFETを用い、受動素子とソースとしての拡散層を連続させ、選択信号をゲートに入力することによって、ゲートの下に形成した電位障壁を下げ、ソース側にある信号電荷をドレイン側へ検出信号電荷として転送し、ドレイン側に接続された電荷転送素子で検出信号を転送すればよい。

【0095】更に、導体パターンの電位変化に対応して受動素子に電荷を供給し、かつ導体パターンの電位変化が終わる前に、供給した電荷が逆流しないように電位障壁を形成する電荷供給MOSFETのドレインを、受動素子の拡散層と連続させて形成すれば、安定した電荷転送が可能となる。

【0096】また、電荷転送素子を用いれば、横選択部で、マルチプレクサ等のスイッチング回路を用いる必要はなくなる。

【0097】なお、上記実施の形態では、いずれも、導体パターンの回路配線に、直流電圧を印加するかのように表現したが、本発明はこれに限定されるものではなく、回路配線に交流電圧を印加してもよい。

【0098】また、上記実施の形態のセンサ要素は、いずれも半導体センサであるため、光の照射によって光電変換が起こり、電子が発生することがある。これは、誤動作の原因となるため、センサ要素の周りを遮光することが望ましい。

【0099】

【発明の効果】本発明によれば、導体パターンの形状を精細に検査可能なセンサ並びに検査装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るセンサ要素の構成を説明する図である。

【図2】本発明の第1の実施の形態に係る検査装置を利用した検査システムの概略図である。

【図3】本発明の第1の実施の形態に係る検査装置の電氣的構成を示すブロック図である。

【図4】本発明の第1の実施の形態に係るセンサ要素において、導体パターンの電位変化に応じて電流が発生する原理を説明するためのモデル図である。



【図5】本発明の第1の実施の形態に係るセンサ要素において、導体パターンの電位変化に応じて電流が発生する原理を説明するためのモデル図である。

【図6】本発明の第1の実施の形態に係るセンサ要素の入出力タイミングを示すタイミングチャートである。

【図7】本発明の第1の実施の形態に係るセンサ要素の変形例を示す図である。

【図8】本発明の第2の実施の形態に係るセンサ要素の構成を説明する図である。

【図9】本発明の第2の実施の形態に係るセンサ要素において、導体パターンの電位変化に応じて電圧が出力される原理を説明するためのモデル図である。

【図10】本発明の第2の実施の形態に係るセンサ要素において、導体パターンの電位変化に応じて電圧が出力

される原理を説明するためのモデル図である。

【図11】本発明の第2の実施の形態に係るセンサ要素において、リセット信号入力時の動作を説明するためのモデル図である。

【図12】本発明の第2の実施の形態に係るセンサ要素の入出力タイミングを示すタイミングチャートである。

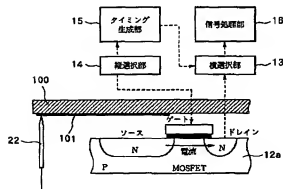
【図13】本発明の第3の実施の形態に係るセンサ要素の構成を説明する図である。

【図14】本発明の第4の実施の形態に係るセンサ要素の構成を説明する図である。

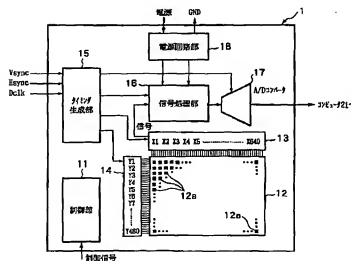
【図15】従来の回路基板検査装置を説明する図である。

【図16】従来の回路基板検査装置を説明する図である。

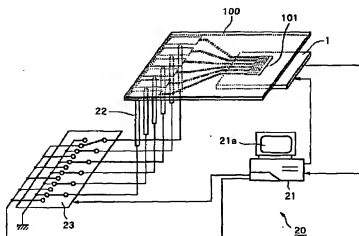
【図1】



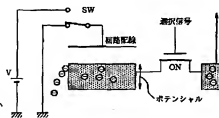
【図3】



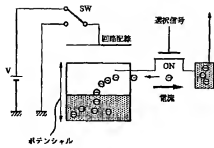
【図2】



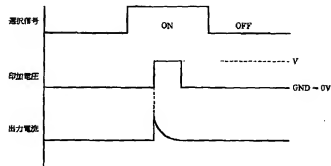
【図4】



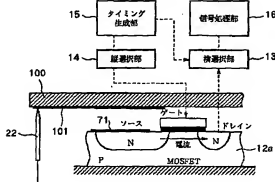
【図5】



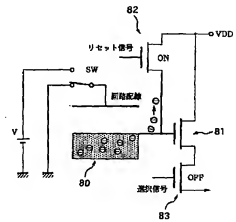
【図6】



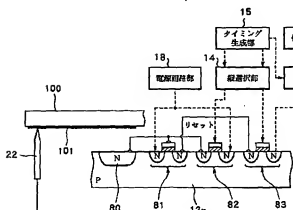
【図7】



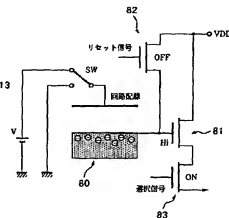
【図11】



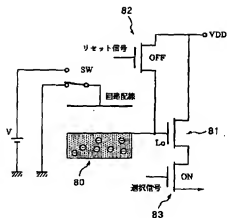
【図8】



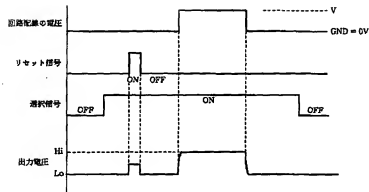
【図10】



【図9】

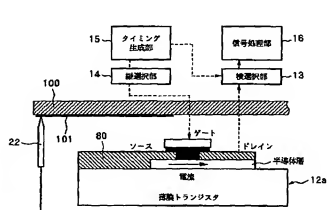
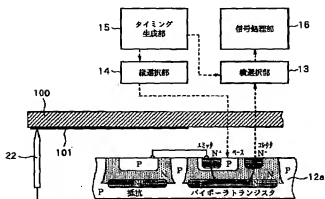


【図12】

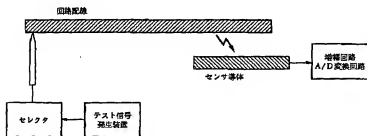


【図14】

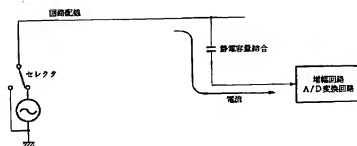
【図13】



【図15】



【図16】



フロントページの続き

(72)発明者 山岡 秀嗣  
 広島県深安郡神辺町西中条1118番地 オ  
 ー・エイチ・ティー株式会社内

Fターム(参考) 2G011 AA01 AC33 AE01  
 2G014 AA02 AA03 AA13 AA25 AB59  
 AC10 AC15  
 2G032 AA00 AD01 AE07 AE09 AE12  
 AF02 AF07 AG07  
 4M106 AA20 AD06 BA14 BA20 CA16  
 DD04 DB30 DJ17 DJ23